

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-218788

(43)Date of publication of application : 19.08.1997

(51)Int.Cl.

G06F 9/445  
G06F 13/00

(21)Application number : 08-023618

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.02.1996

(72)Inventor : ASAO TARO  
TAKASUGI TOMIHISA

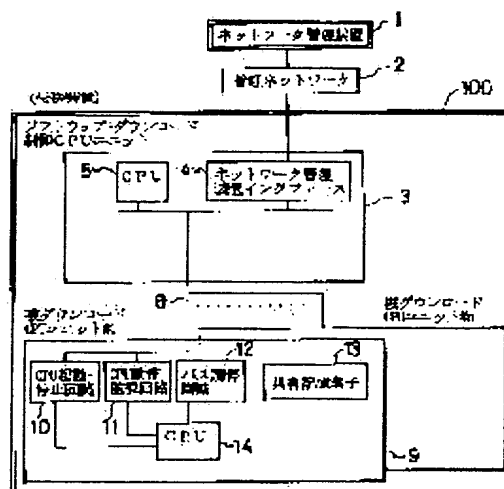
## (54) INSERVICE DIRECT DOWN LOADING SYSTEM

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce influence on the function of a device and to effectively use existed software resource on the down loading system of software for CPU of the device.

SOLUTION: CPU 5 controlling the update of software for CPU 14 to be down-loaded and a common storage element 13 which holds the operation program of CPU 14 and which can be accessed from CPU 14 and CPU 5 are provided. A processing for receiving new program data from outside, for writing it in the common storage element, for stopping the operation of CPU 14, for stopping the operation of CPU 14, for changing the operation program of CPU 14 in the common storage element 13 from the new program to a former program,

for operating CPU 14 and for recognizing the normality of the execution of the new program by CPU 14 is executed by mediating confliction with the execution of former program data stored in the common storage element 13 by CPU 14 by CPU 5. Thus, the new program is down-loaded on CPU 14 with inservice.



## LEGAL STATUS

[Date of request for examination]

24.03.2000

[Date of sending the examiner's decision of rejection] 11.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



## 【特許請求の範囲】

【請求項1】 プログラムをダウンロードされる第1のCPUに対して、該第1のCPUのソフトウェア・バージョンやソフトウェアの更新を管理する第2のCPUと、前記第1のCPUの動作プログラムを保持するとともに、第1のCPUと第2のCPUの双方からアクセス可能な共有記憶素子を備え、

第2のCPUが、外部から新たなプログラム・データを受け取って前記共有記憶素子に書き込み、第1のCPUの動作を停止して前記共有記憶素子における第1のCPUの動作プログラムを旧プログラムから新プログラムに変更したのち、第1のCPUを動作させて該第1のCPUによる新プログラムの実行が正常に行なわれていることを確認する処理を、第1のCPUの前記共有記憶素子に格納された旧プログラム・データの実行との競合を調停しながら行なうことによって、インサースビスで第1のCPUに対する新プログラムのダウンロードを行なうことを特徴とするインサースビス直接ダウンロード方式。

【請求項2】 請求項1に記載のインサースビス直接ダウンロード方式において、前記共有記憶素子として第1の記憶素子と第2の記憶素子とを備えるとともに、該第1の記憶素子と第2の記憶素子に接続された記憶素子のバスを第1のCPUのバスと第2のCPUのバスとに切り換えて接続する2:1バススイッチと、前記記憶素子のバスに対する第1のCPUのアクセスと第2のCPUのアクセスとが競合しないように前記2:1バススイッチの切り換えを制御するバス調停回路とを設け、該2:1バススイッチの切り換えに応じて、前記第1の記憶素子と第2の記憶素子のいずれか一方を現用記憶素子とし他方を予備記憶素子として、第1のCPUが該現用記憶素子に格納された旧プログラムを実行しながら、第2のCPUが予備記憶素子に第1のCPUの新プログラムをダウンロードすることを特徴とするインサースビス直接ダウンロード方式。

【請求項3】 前記バス調停回路が、前記記憶素子のバスに対する第1のCPUのアクセスと第2のCPUのアクセスとを、1バス・サイクルごとに交互に行なわせるように調停することを特徴とする請求項2に記載のインサースビス直接ダウンロード方式。

【請求項4】 請求項1に記載のインサースビス直接ダウンロード方式において、前記共有記憶素子として第1の記憶素子と第2の記憶素子とを備えるとともに、該第1の記憶素子のバスまたは第2の記憶素子のバスと、第1のCPUのバスまたは第2のCPUのバスとを相互に切り換えて接続する2:2バススイッチを設け、第2のCPUが該2:2バススイッチの切り換えを制御することによって、前記第1の記憶素子と第2の記憶素子のいずれか一方を現用記憶素子とし他方を予備記憶素子として、第1のCPUが該現用記憶素子に格納された旧プログラムを実行しながら、第2のCPUが予備記憶素子に

第1のCPUの新プログラムをダウンロードすることを特徴とするインサースビス直接ダウンロード方式。

【請求項5】 前記第1の記憶素子および第2の記憶素子が、EEPROMからなることを特徴とする請求項2から4までのいずれかに記載のインサースビス直接ダウンロード方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ソフトウェア・ダウンロード方式に関し、特に伝送装置等において、インサースビスでソフトウェアをダウンロードしてアップデートするための、インサースビス直接ダウンロード方式に関するものである。

【0002】伝送装置の場合、保守業務は回線サービスの中断等を伴ってはならない場合が多い。従って、伝送装置や回線の監視・制御を行なうCPU（中央処理装置）のソフトウェアを更新する場合には、インサースビスで行なえるようにすることが要求されている。

【0003】このような場合の、ソフトウェアのダウンロード方式は、回線サービス処理に与える影響が少なくとともに、ダウンロードのための新たなソフトウェアの追加を必要としないものであることが望ましい。

【0004】

【従来の技術】従来、インサースビスでソフトウェアをダウンロードすることが必要になったとき、各CPUに現用／予備のEEPROMを有する場合には、被ダウンロードCPUの処理時間の一部を割いて、ネットワーク監視装置等から予備EEPROMへのソフトウェアのダウンロード処理を行なうことによって、ソフトウェアを更新する方式が主流であった。

【0005】また、装置外部からソフトウェアをダウンロードする機能を有しない装置の場合には、各CPUにソフトウェア・ファイルを転送する機能を持たせるとともに、現用／予備のソフトウェアを切り換える機能を、各CPUのソフトウェアに新たに持たせることによって、ソフトウェアのダウンロードを行なうようにしていた。

【0006】

【発明が解決しようとする課題】インサースビスでソフトウェアのダウンロードを行なう方式として、各CPUに現用／予備のEEPROMを有する場合に、被ダウンロードCPUの処理時間の一部を割いて、予備EEPROMに対するソフトウェア・ダウンロードの処理を行なうて、ソフトウェアを更新する方式では、CPUの処理時間が減少するため、回線監視・制御等の、被ダウンロードCPUの処理性能が低下し、伝送装置の本来のサービスの処理に影響を受けるという問題があった。

【0007】また、装置外部からソフトウェアをダウンロードする機能を有しない装置の場合には、ソフトウェア・ダウンロード可能にするために、ソフトウェア・フ

ファイルの転送機能や、現用／予備のソフトウェアの切替機能等の、新たな機能の付加が必要となり、既存のダウンロード未対応ソフトウェアをそのまま利用することができないという問題があった。

【0008】本発明は、このような従来技術の課題を解決しようとするものであって、伝送装置の本来の機能である、回線サービス処理に与える影響を極力小さくするとともに、既存のソフトウェア資源を有効利用しながら、ソフトウェア・ダウンロードを可能にする、インサースビス直接ダウンロード方式を提供することを目的としている。

【0009】

【課題を解決するための手段】図1は、本発明の原理的構成を示したものである。図中、3はソフトウェア・ダウンロード制御CPUユニットであって、メインCPUに対するプログラムの転送、新旧プログラムの切り換え、起動・停止および動作状態の監視等の制御を行なうCPU5と、管理ネットワーク2を介してネットワーク管理装置1と通信するネットワーク管理インタフェース4とを備えている。

【0010】9は被ダウンロードCPUユニットであって、メインCPU14と、CPU14の実行プログラムを格納し、CPU5とCPU14の双方からアクセス可能な共有記憶素子13を備えるとともに、共有記憶素子13に対するCPU5とCPU14のアクセスを調停し、選択されたCPUのバスを共有記憶素子13に接続するバス調停回路12と、CPU14の起動・停止の制御を行なうCPU起動・停止制御回路10と、CPU14の動作状態の監視を行なうCPU動作監視回路11とを備えている。

【0011】本発明においては、上述の課題を解決するために、図1に示された構成において、次のような各具体的手段を備えている。

【0012】(1) 被ダウンロードCPU14に対して、CPU14のソフトウェア・バージョンやソフトウェアの更新を管理するCPU5と、CPU14の動作プログラムを保持するとともに、CPU14とCPU5の双方からアクセス可能な共有記憶素子13を備え、CPU5が、外部から新たなプログラム・データを受け取って共有記憶素子13に書き込むとともに、必要により共有記憶素子13に書き込まれたプログラム・データの正常性を調べて正常であることを確認したとき、CPU14の動作を停止して共有記憶素子13におけるCPU14の動作プログラムを旧プログラムから新プログラムに変更したのち、CPU14を動作させてCPU14による新プログラムの実行が正常に行なわれていることを確認する処理を、CPU14の共有記憶素子13における旧プログラム・データの実行との競合を避けながら行なうことによって、インサースビスでCPU14に対する新プログラムのダウンロードを行なう。

【0013】(2) (1) の場合に、共有記憶素子として第1の記憶素子15と第2の記憶素子16とを備えるとともに、第1の記憶素子15と第2の記憶素子16に接続された記憶素子のバス8AをCPU5のバス8とCPU14のバス8Bとに切り換えて接続する2:1バススイッチ21と、記憶素子のバス8Aに対するCPU5のアクセスとCPU14のアクセスとが競合しないように2:1バススイッチ21の切り換えを制御するバス調停回路12とを設け、2:1バススイッチ21の切り換えに応じて、第1の記憶素子15と第2の記憶素子16のいずれか一方を現用記憶素子とし他方を予備記憶素子として、CPU14が現用記憶素子に格納された旧プログラムを実行しながら、CPU5が予備記憶素子にCPU14の新プログラムをダウンロードする。

【0014】(3) (2) の場合に、バス調停回路12が、記憶素子のバス8Aに対するCPU5のアクセスとCPU14のアクセスとを、1バス・サイクルごとに交互に行なわせるように調停する。

【0015】(4) (1) の場合に、共有記憶素子として第1の記憶素子15と第2の記憶素子16とを備えるとともに、第1の記憶素子15のバスまたは第2の記憶素子16のバスと、CPU5のバス8またはCPU14のバス8Bとを相互に切り換えて接続する2:2バススイッチ22を設け、CPU5が2:2バススイッチ22の切り換えを制御することによって、第1の記憶素子15と第2の記憶素子16のいずれか一方を現用記憶素子とし他方を予備記憶素子として、CPU14が現用記憶素子に格納された旧プログラムを実行しながら、CPU5が予備記憶素子にCPU14の新プログラムをダウンロードする。

【0016】(5) (2) から(4) までのいずれかの場合に、第1の記憶素子15および第2の記憶素子16を、EEPROMから構成する。

【0017】本発明によれば、記憶素子に格納された旧プログラムを実行しながら、記憶素子に新たなプログラム・データをダウンロードすることができるので、プログラムのダウンロードに基づく装置の本来の機能への影響を極力小さくすることができるとともに、既存のソフトウェア資源を有効利用しながら、ソフトウェア・ダウンロードを行なうことができる。

【0018】

【発明の実施の形態】図2は、本発明の実施形態(1)を示したものである。図中において、1はネットワーク管理装置であって、管理ネットワーク2を介して、被ダウンロード装置である、伝送装置等の装置100と通信を行なうことができる。装置100はマルチCPUからなる装置であって、ネットワーク管理装置1から受けたソフトウェア・ファイルによって動作するようになっている。

【0019】3はソフトウェア・ダウンロード制御CP

Uユニットであって、装置100を構成するCPUユニットの一つである。ソフトウェア・ダウンロード制御CPUユニット3は、ネットワーク管理装置インタフェース4を有し、管理ネットワーク2を介してネットワーク管理装置1と通信を行なうとともに、CPU5を有し、装置100のメインCPUであるCPU14に対するプログラムの転送や、新旧プログラムの切り換え制御、およびCPU14の起動・停止の制御と、CPU14の動作状態の監視等を行なう。CPU5は、バス8を介して、CPU5が動作するためのプログラムが書かれたROM6と、CPU5が実行するプログラムの作業用メモリであるRAM7を接続されている。

【0020】9は被ダウンロードCPUユニットであって、装置100を構成するCPUユニットの一つである。被ダウンロードCPUユニット9は、装置100のメインCPUであるCPU14と、CPU5の制御に応じてCPU14のプログラム実行の起動・停止を制御するCPU起動・停止回路10と、CPU14の動作状態を監視して、その結果をCPU5へ通知するCPU動作監視回路11と、CPU14のプログラムを格納する記憶素子であるEEPROM15、16と、EEPROM15とEEPROM16に対する、CPU5とCPU14からのバス・アクセスを、1バス・アクセスごとに調停し、バス切換制御を行なって2:1バススイッチ(SW)21を切り換えて、選択されたCPUのバスを、EEPROM15とEEPROM16に接続されたバス8Aに接続するとともに、非選択CPUに対してはBUSY信号を返すバス調停回路12と、CPU5の制御に応じて、EEPROM15とEEPROM16のいずれか一方を現用に、他方を予備に動作切り換えを行なう現用・予備切り換え回路17とを有している。

【0021】以下、図2に示された実施形態(1)の動作を説明する。はじめに、EEPROM15が現用記憶素子であり、EEPROM16が予備記憶素子になっているものとする。被ダウンロードCPUユニット9において、CPU14は、現用記憶素子であるEEPROM15のプログラム・データを実行している。CPU14がEEPROM15のデータを読み出す場合には、バス調停回路12は、2:1バスSW21を操作して、記憶素子のバス8Aを、メインCPUのバス8Bを介してCPU14に接続する。

【0022】次に新しいプログラム・データを、CPU14にダウンロードする場合の動作を説明する。CPU5は、ネットワーク管理装置インタフェース4に接続されている管理ネットワーク2を介して、ネットワーク管理装置1から新しいプログラム・データを受け取る。CPU5は、受け取った新しいプログラム・データを、予備記憶素子であるEEPROM16に書き込む。

【0023】このとき、バス調停回路12は、CPU14からの現用記憶素子であるEEPROM15に対する

アクセスと、CPU5からの予備記憶素子であるEEPROM16に対するアクセスとが競合した場合には、2:1バスSW21を操作して、記憶素子のバス8Aを、CPU5が接続されたバス8と、CPU14が接続されたバス8Bとに、1バス・サイクルごとに切り換えて接続することによって、それぞれのCPUのEEPROMに対するアクセスを交互に行なわせる。

【0024】このとき、バス調停回路12は、選択されなかった側のCPUに対してBUSY信号を出力し、BUSY信号を受けたCPUは、BUSY信号が解除されるまで、バス・アクセスを止めて待つ。このようにして、予備記憶素子であるEEPROM16には、CPU14用の新しいプログラム・データが書き込まれる。

【0025】このような処理を行なうことによって、CPU14は、新しいプログラム・データのダウンロード中に、通常の処理を継続することができ、インサートでCPU14に新しいプログラム・データをダウンロードすることができる。

【0026】CPU5が、予備記憶素子であるEEPROM16に対する書き込みの処理を完了したのち、必要があれば、CPU5は予備記憶素子であるEEPROM16に書き込まれた、新しいプログラム・データに誤りがないか否かの確認を行なう。

【0027】次に、CPU5は、CPU起動・停止回路10を操作して、CPU14の動作を停止する。その後、CPU5は現用・予備切り換え回路17を操作して、EEPROM15とEEPROM16との、現用/予備の入れ換えを行なう。この操作によって、新しいプログラム・データを書き込まれたEEPROM16が新たな現用記憶素子となり、古いプログラム・データが書き込まれているEEPROM15が新たな予備記憶素子となる。その後、CPU5は、CPU起動・停止回路10を操作してCPU14をリスタートさせ、これによって、CPU14はEEPROM16の新しいプログラム・データを実行する。

【0028】CPU14が、新しいプログラムで起動されたのち、CPU5は、CPU動作監視回路11を用いて、CPU14が正常に動作しているか否かを監視する。CPU動作監視回路としては、周知のウォッチ・ドッグ・タイマ等を使用することができる。

【0029】もしも、新しいプログラム・データで起動したのちに、CPU動作監視回路11によって、CPU14の動作が異常であることが検出されたときは、CPU5は、CPU起動・停止回路10を操作して、CPU14の動作を停止し、現用・予備切り換え回路17によって、EEPROM16とEEPROM15との現用/予備の入れ換えを再度行ない、CPU起動・停止回路10を操作して、CPU14をリスタートさせることによって、CPU14は元のプログラム・データを実行できるので、ダウンロード前の状態に戻ることができる。

【0030】このように、本実施形態によれば、CPU 14の処理性能を殆ど低下させることなく、インサージスで、CPU 5によって、予備記憶素子に対する、CPU 14の新たなプログラム・データの書き込みを行なうことができる。

【0031】図3は、本発明の実施形態(2)を示したものであって、図2に示された実施形態(1)の場合と同じものを、同じ番号で示している。22は2:2バススイッチ(SW)であって、EEPROM 15とEEPROM 16とを、共通バスであるバス8と、メインCPUのバスであるバス8Bとに交互に入れ換えて接続する。20は現用・予備切り換え回路であって、2:2バスSW 22の切り換えの制御を行なう。

【0032】以下、図3に示された実施形態(2)の動作を説明する。はじめに、EEPROM 15が現用記憶素子であり、EEPROM 16が予備記憶素子になっているものとする。被ダウンロードCPUユニット9において、2:2バスSW 22によって、現用記憶素子であるEEPROM 15のバスは、メインCPUのバスであるバス8Bを経てCPU 14に接続され、予備記憶素子EEPROM 16のバスは、共通バスであるバス8を経てCPU 5に接続されており、CPU 14は現用記憶素子であるEEPROM 15のプログラム・データを実行している。

【0033】次に新しいプログラム・データを、CPU 14にダウンロードする場合の動作を説明する。CPU 5は、ネットワーク管理装置インタフェース4に接続されている管理ネットワーク2を介して、ネットワーク管理装置1から新しいプログラム・データを受け取る。CPU 5は、受け取った新しいプログラム・データを、予備記憶素子であるEEPROM 16に書き込む。

【0034】このとき、予備記憶素子であるEEPROM 16のバスは、2:2バスSW 22により、CPU 5のバスに接続されていて、現用記憶素子であるEEPROM 15やCPU 14のバスとは独立している。また現用記憶素子であるEEPROM 15のバスは、2:2バスSW 22により、CPU 14のバスに接続されていて、予備記憶素子であるEEPROM 16やCPU 5のバスとは独立している。従って、CPU 14は、プログラム・データのダウンロード中に、通常の処理を継続することができ、インサージスでCPU 14に新しいプログラム・データをダウンロードすることができる。

【0035】CPU 5が、予備記憶素子であるEEPROM 16に対する書き込みの処理を完了したのち、必要があれば、CPU 5はEEPROM 16に書き込まれた新しいプログラム・データに誤りがないか否かの確認を行なう。

【0036】次に、CPU 5は、CPU起動・停止回路10を操作してCPU 14の動作を停止する。その後、CPU 5は現用・予備切り換え回路20を操作して、

2:2バスSW 22を切り換えることによって、EEPROM 15のバスをCPU 5のバスに接続し、EEPROM 16のバスをCPU 14のバスに接続する。

【0037】この操作によって、新しいプログラム・データを書き込まれたEEPROM 16が新たな現用記憶素子となり、古いプログラム・データが書き込まれているEEPROM 15が新たな予備記憶素子となる。その後、CPU 5は、CPU起動・停止回路10を操作してCPU 14をリスタートさせ、これによって、CPU 14はEEPROM 16の新しいプログラム・データを実行する。

【0038】CPU 14が、新しいプログラムで起動されたのち、CPU 5は、CPU動作監視回路11を用いて、CPU 14が正常に動作しているか否かを監視する。CPU動作監視回路としては、周知のウォッチ・ドッグ・タイマ等を使用することができる。

【0039】もしも、新しいプログラム・データで起動したのちに、CPU動作監視回路11によって、CPU 14の動作が異常であることが検出されたときは、CPU 5は、CPU起動・停止回路10を操作して、CPU 14の動作を停止し、現用・予備切り換え回路17によって、EEPROM 16とEEPROM 15との現用/予備の入れ換えを再度行ない、CPU起動・停止回路10を操作して、CPU 14をリスタートさせることによって、CPU 14は元のプログラム・データを実行できるので、ダウンロード前の状態に戻ることができる。

【0040】このように、本実施形態によれば、CPU 14の処理性能を低下させることなく、インサージスで、CPU 5によって、予備共有記憶素子に対するプログラム・データの書き込みを行なうことができる。

【0041】

【発明の効果】以上説明したように本発明によれば、伝送装置等において、CPUにソフトウェアをダウンロードしてアップデートする際に、動作中のCPUの処理性能を低下させることなく、インサージスでプログラム・データのダウンロードを行なうことができる。

【0042】また、ソフトウェアをダウンロードされるCPUに、ダウンロードのための新たなソフトウェア処理を追加しなくても、ダウンロード処理を行なうことができるので、既存ソフトウェア資産を有効利用しながら、ソフトウェア・ダウンロード機能を提供することができる。

【図面の簡単な説明】

【図1】本発明の原理的構成を示す図である。

【図2】本発明の実施形態(1)を示す図である。

【図3】本発明の実施形態(2)を示す図である。

【符号の説明】

- 1 ネットワーク管理装置
- 2 管理ネットワーク
- 3 ソフトウェア・ダウンロード制御CPUユニット



(6)

特開平9-218788

10

- 9  
4 ネットワーク管理インタフェース  
5 CPU  
9 被ダウンロードCPUユニット  
12 バス調停回路  
13 共有記憶素子

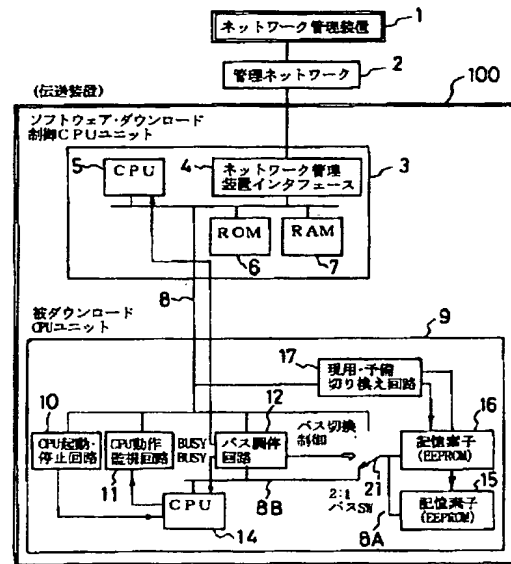
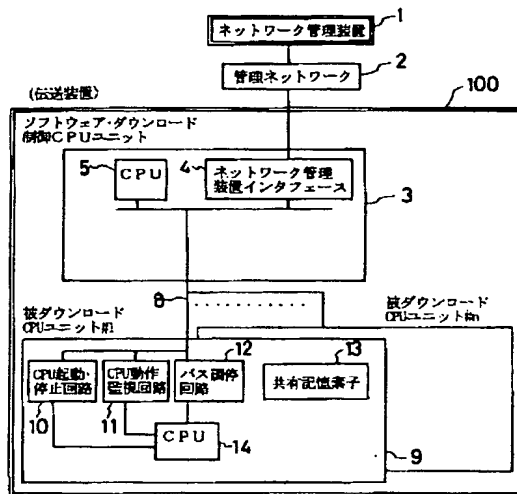
- \* 14 CPU  
15 EEPROM  
16 EEPROM  
21 2:1バススイッチ  
\* 22 2:2バススイッチ

【図1】

【図2】

本発明の原理的構成を示す図

本発明の実施形態(1)を示す図



【図3】

本発明の実施形態（2）を示す図

